

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-353420

(43)Date of publication of application : 06.12.2002

(51)Int.Cl.

H01L 27/105

C23C 14/08

C23C 16/40

H01L 21/8247

H01L 29/788

H01L 29/792

(21)Application number : 2002-070892

(71)Applicant : SHARP CORP

(22)Date of filing : 14.03.2002

(72)Inventor : SHIEN TEN SUU  
ZHANG FENGYAN  
LI TINGKAI

(30)Priority

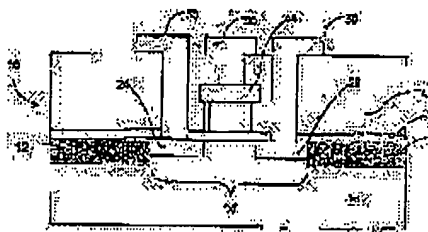
Priority number : 2001 820039 Priority date : 28.03.2001 Priority country : US

## (54) MFOS MEMORY TRANSISTOR AND MANUFACTURING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a ferroelectric transistor structure, in which the reliability of a memory transistor is improved, and to provide a method for manufacturing the same.

SOLUTION: The ferroelectric transistor structure comprises (a) a ferroelectric gate, having a lower part, a side face and an upper part on a semiconductor substrate, (b) a gate insulator inserted between the ferroelectric gate and the substrate, and (c) a passivation sidewall adjacent to the side face. The substrate is silicon or SOI. The ferroelectric gate is PGO, PZT, SBT, SBO, SBTO, SBTN, STO, BTO, BLT, LNO or YMnO<sub>3</sub>.



## LEGAL STATUS

[Date of request for examination]

28.07.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

BEST AVAILABLE COPY

Searching PAJ

2/2 ページ

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-353420

(P2002-353420A)

(43) 公開日 平成14年12月6日 (2002.12.6)

(51) Int.Cl.	識別記号	F I	特許出願公開番号
H 0 1 L 27/105		C 2 3 C 14/08	4 K 0 2 9
C 2 3 C 14/08		16/40	4 K 0 3 0
16/40		H 0 1 L 27/10	4 4 4 A 5 F 0 8 3
H 0 1 L 21/8247		29/78	3 7 1 5 F 1 0 1
29/788			

審査請求 未請求 請求項の数30 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願2002-70892(P2002-70892)

(22) 出願日 平成14年3月14日 (2002.3.14)

(31) 優先権主張番号 09/820, 039

(32) 優先日 平成13年3月28日 (2001.3.28)

(33) 優先権主張国 米国 (US)

(71) 出願人 000005049  
シャープ株式会社  
大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 シェン デン スー  
アメリカ合衆国 ワシントン 98607,  
ケイマス, エヌダブリュ トラウト  
コート 2216

(72) 発明者 フェンヤン ツアン  
アメリカ合衆国 ワシントン 98683,  
バンクーバー, エスイー 32エヌディー  
ストリート 16804

(74) 代理人 100078282  
弁理士 山本 秀策

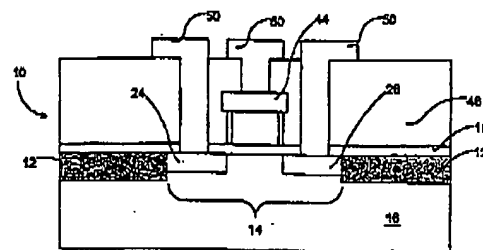
最終頁に続く

(54) 【発明の名称】 M F O S メモリトランジスタおよびその製造方法

(57) 【要約】

【課題】 メモリトランジスタの信頼性を向上する強誘電体トランジスタ構造およびその製造方法を提供すること。

【解決手段】 本発明の強誘電体トランジスタ構造は、  
a) 半導体基板上に下部と、側面と、上部とを有する強誘電体ゲートと、 b) 強誘電体ゲートと半導体基板との間に挿入されるゲート絶縁体と、 c) 側面に隣接するパッシベーション側壁とを含む。上記半導体基板はシリコンまたはSOIであり、上記強誘電体ゲートは、P G O、P Z T、S B T、S B O、S B T O、S B T N、S T O、B T O、B L T、L N OまたはY M n O<sub>3</sub>である。



(2)

特開2002-353420

1

【特許請求の範囲】

【請求項1】 a) 半導体基板上に下部と、側面と、上部とを有する強誘電体ゲートと、  
b) 該強誘電体ゲートと該半導体基板との間に挿入されるゲート絶縁体と、  
c) 該側面に隣接するパッシベーション側壁とを含む強誘電体トランジスタ構造。

【請求項2】 前記半導体基板はシリコンまたはSOIである、請求項1に記載の強誘電体トランジスタ構造。

【請求項3】 前記強誘電体ゲートは、PGO、PZT、SBT、SBO、SBTO、SBTN、STO、BTO、BLT、LNOまたはYMnO<sub>3</sub>である、請求項1に記載の強誘電体トランジスタ構造。

【請求項4】 前記ゲート絶縁体は、窒化シリコン、窒素注入シリコン酸化物または酸素化シリコンである、請求項1に記載の強誘電体トランジスタ構造。

【請求項5】 前記ゲート絶縁体は、ZrO<sub>2</sub>、ジルコニウムシリケート、Zr-Al-Si-O、HfO<sub>2</sub>、ハフニウムシリケート、Hf-Al-O、La-Al-O、酸化ランタンまたはTa<sub>2</sub>O<sub>5</sub>である、請求項1に記載の強誘電体トランジスタ構造。

【請求項6】 前記強誘電体ゲートは、化学溶液堆積(CSD)法を用いて堆積される、請求項1に記載の強誘電体トランジスタ構造。

【請求項7】 前記パッシベーション側壁は、TiO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>、TiAlO<sub>3</sub>またはSi<sub>3</sub>N<sub>4</sub>を含む、請求項1に記載の強誘電体トランジスタ構造。

【請求項8】 前記強誘電体ゲート上に上部電極をさらに含む、請求項1に記載の強誘電体トランジスタ構造。

【請求項9】 前記上部電極は、イリジウム、プラチナ、ルテニウム、酸化イリジウム、酸化プラチナまたは酸化ルテニウムを含む、請求項8に記載の強誘電体トランジスタ構造。

【請求項10】 半導体基板上に下部と、側面と、上部とを有する強誘電体ゲートを含む強誘電体トランジスタ構造であって、該強誘電体ゲートは、該下部上にあるゲート絶縁体と、該側面上にあるパッシベーション側壁と、該上部にある上部電極とを組み合わせてカプセル化される、強誘電体トランジスタ構造。

【請求項11】 前記半導体基板はシリコンまたはSOIである、請求項10に記載の強誘電体トランジスタ構造。

【請求項12】 前記強誘電体ゲートは、PGO、PZT、SBT、SBO、SBTO、SBTN、STO、BTO、BLT、LNOまたはYMnO<sub>3</sub>である、請求項10に記載の強誘電体トランジスタ構造。

【請求項13】 前記ゲート絶縁体は、ZrO<sub>2</sub>、ジルコニウムシリケート、Zr-Al-Si-O、HfO<sub>2</sub>、ハフニウムシリケート、Hf-Al-O、La-Al-O、酸化ランタンまたはTa<sub>2</sub>O<sub>5</sub>である、請求項10

2

10に記載の強誘電体トランジスタ構造。

【請求項14】 前記強誘電体ゲートは、化学溶液堆積(CSD)法を用いて堆積される、請求項10に記載の強誘電体トランジスタ構造。

【請求項15】 前記上部電極は、イリジウム、プラチナ、ルテニウム、酸化イリジウム、酸化プラチナまたは酸化ルテニウムを含む、請求項10に記載の強誘電体トランジスタ構造。

【請求項16】 前記パッシベーション側壁は、TiO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>、TiAlO<sub>3</sub>またはSi<sub>3</sub>N<sub>4</sub>を含む、請求項10に記載の強誘電体トランジスタ構造。

【請求項17】 前記ゲート絶縁体は、窒化シリコン、窒素注入シリコン酸化物または酸素化シリコンである、請求項10に記載の強誘電体トランジスタ構造。

【請求項18】 基板上に強誘電体トランジスタ構造を製造する方法であって、

a) 該基板上にゲート絶縁体を形成する工程と、  
b) 該基板上にダミーゲート構造を製造する工程と、  
c) 該ダミーゲート構造を除去する工程と、  
d) 該基板上にパッシベーション絶縁体を堆積する工程と、

e) 異方性エッチングを用いて該パッシベーション絶縁体をエッチングし、それによってパッシベーション側壁を形成する工程と、

f) 該基板上に強誘電体材料を堆積する工程と、

g) 化学的機械的研削(CMP)を用いて該強誘電体材料を研磨し、それにより強誘電体ゲートを形成する工程と、

h) 該強誘電体ゲート上に上部電極を形成する工程とを包含する方法。

【請求項19】 前記ダミーゲートを形成する工程は、

a) ダミーゲート材料層を堆積し、パターニングし、それによってダミーゲートを形成する工程と、

b) 該ダミーゲート上に酸化物を形成する工程と、

c) 該酸化物を研磨して、該ダミーゲートを露出させる工程と

によって達成される、請求項18に記載の方法。

【請求項20】 前記ダミーゲート材料層は窒化シリコンまたはポリシリコンである、請求項19に記載の方法。

【請求項21】 前記研磨する工程は、化学的機械的研削(CMP)を用いて達成される、請求項19に記載の方法。

【請求項22】 前記ゲート絶縁体を堆積する工程は、化学的気相成長法(CVD)、パルスCVD、スパッタリングまたは蒸着によって達成される、請求項18に記載の方法。

【請求項23】 前記ゲート絶縁体を堆積する工程は、ZrO<sub>2</sub>、ジルコニウムシリケート、Zr-Al-Si-O、HfO<sub>2</sub>、ハフニウムシリケート、Hf-Al-

(3)

特開2002-353420

3

O、La-Al-O、酸化ランタンまたはTa<sub>2</sub>O<sub>5</sub>を堆積する、請求項18に記載の方法。

【請求項24】 前記強誘電体材料を堆積する工程は、金属有機化学的气相成長法(MOCVD)または化学溶液堆積法(CSD)によって達成される、請求項18に記載の方法。

【請求項25】 前記強誘電体材料を堆積する工程は、PGO、PZT、SBT、SBO、SBTO、SBTN、STO、BTO、BLT、LNOまたはYMnO<sub>3</sub>を堆積する、請求項18に記載の方法。

【請求項26】 前記上部電極は、イリジウム、プラチナ、酸化イリジウムまたは酸化プラチナである、請求項18に記載の方法。

【請求項27】 前記上部電極を形成する工程は、上部電極層を堆積してパターニングすることによって達成される、請求項18に記載の方法。

【請求項28】 前記上部電極を形成する工程は、ダマシン法を用いて達成される、請求項18に記載の方法。

【請求項29】 前記パッシベーション絶縁体を堆積する工程は、TiO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>、TiAlO<sub>3</sub>またはSi<sub>3</sub>N<sub>4</sub>を堆積する、請求項18に記載の方法。

【請求項30】 前記パッシベーション絶縁体をエッチングする工程は、異方性プラズマエッチングを用いて達成される、請求項18に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、概して、半導体技術に関し、より詳細には、金属-強誘電体-絶縁体-半導体(MFIS)トランジスタ構造およびその製造方法に関する。MFISトランジスタはMFOSトランジスタと同様であるが、絶縁体材料として酸化物を用いた構造に限定されない。

【0002】

【従来の技術】従来より、1トランジスタ強誘電体メモリトランジスタは、上部電極を有する強誘電体ゲートを備えた強誘電体電極スタックを利用してきた。このデバイスは、強誘電体材料を堆積し、続いて上に金属層を堆積することによって形成される。次に、これらの層は、プラズマエッチングされる。プラズマエッチングは、強誘電体ゲートの強誘電特性を劣化させ、それによってメモリトランジスタの信頼性が低下する。強誘電体材料はまた、水素による汚染を防ぐために不動態化される必要がある。パッシベーション層はまた、強誘電体材料とその下の酸化物との間での不要な相互作用を低下させるために用いられた。

【0003】

【発明が解決しようとする課題】上述のように、プラズマエッチングは、強誘電体ゲートの強誘電特性を劣化させ、それによってメモリトランジスタの信頼性が低下する。従って、メモリトランジスタの信頼性を向上する強

誘電体トランジスタ構造およびその製造方法が必要である。

【0004】

【課題を解決するための手段】本発明による強誘電体トランジスタ構造は、a)半導体基板上に下部と、側面と、上部とを有する強誘電体ゲートと、b)該強誘電体ゲートと該半導体基板との間に挿入されるゲート絶縁体と、c)該側面に隣接するパッシベーション側壁を含み、これにより上記目的を達成する。

10 【0005】前記半導体基板はシリコンまたはSOIであってもよい。

【0006】前記強誘電体ゲートは、PGO、PZT、SBT、SBO、SBTO、SBTN、STO、BTO、BLT、LNOまたはYMnO<sub>3</sub>であってもよい。

【0007】前記ゲート絶縁体は、窒化シリコン、窒素注入シリコン酸化物または酸窒化シリコンであってもよい。

【0008】前記ゲート絶縁体は、ZrO<sub>2</sub>、ジルコニウムシリケート、Zr-Al-Si-O、HfO<sub>2</sub>、ハフニウムシリケート、Hf-Al-O、La-Al-O、酸化ランタンまたはTa<sub>2</sub>O<sub>5</sub>であってもよい。

【0009】前記強誘電体ゲートは、化学溶液堆積(CSD)法を用いて堆積されてもよい。

【0010】前記パッシベーション側壁は、TiO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>、TiAlO<sub>3</sub>またはSi<sub>3</sub>N<sub>4</sub>を含んでもよい。

【0011】前記強誘電体ゲート上に上部電極をさらに含んでもよい。

【0012】前記上部電極は、イリジウム、プラチナ、ルチニウム、酸化イリジウム、酸化プラチナまたは酸化ルチニウムを含んでもよい。

【0013】本発明による強誘電体トランジスタ構造は、半導体基板上に下部と、側面と、上部とを有する強誘電体ゲートを含む強誘電体トランジスタ構造であって、該強誘電体ゲートは、該下部上にあるゲート絶縁体と、該側面上にあるパッシベーション側壁と、該上部にある上部電極とを組み合わせてカプセル化され、これにより上記目的を達成する。

40 【0014】前記半導体基板はシリコンまたはSOIであってもよい。

【0015】前記強誘電体ゲートは、PGO、PZT、SBT、SBO、SBTO、SBTN、STO、BTO、BLT、LNOまたはYMnO<sub>3</sub>であってもよい。

【0016】前記ゲート絶縁体は、ZrO<sub>2</sub>、ジルコニウムシリケート、Zr-Al-Si-O、HfO<sub>2</sub>、ハフニウムシリケート、Hf-Al-O、La-Al-O、酸化ランタンまたはTa<sub>2</sub>O<sub>5</sub>であってもよい。

【0017】前記強誘電体ゲートは、化学溶液堆積(CSD)法を用いて堆積されてもよい。

【0018】前記上部電極は、イリジウム、プラチナ、

(4)

特開2002-353420

5

6

ルテニウム、酸化イリジウム、酸化プラチナまたは酸化ルテニウムを含んでもよい。

【0019】前記パッシベーション側壁は、 $TiO_2$ 、 $Al_2O_3$ 、 $TiAlO_3$ 、または $Si_3N_4$ を含んでもよい。

【0020】前記ゲート絶縁体は、窒化シリコン、窒素注入シリコン酸化物または酸化シリコンであってもよい。

【0021】本発明による基板上に強誘電体トランジスタ構造を製造する方法は、a) 該基板上にゲート絶縁体を形成する工程と、b) 該基板上にダミーゲート構造を製造する工程と、c) 該ダミーゲート構造を除去する工程と、d) 該基板上にパッシベーション絶縁体を堆積する工程と、e) 異方性エッチングを用いて該パッシベーション絶縁体をエッチングし、それによってパッシベーション側壁を形成する工程と、f) 該基板上に強誘電体材料を堆積する工程と、g) 化学的機械的研磨(CMP)を用いて該強誘電体材料を研磨し、それにより強誘電体ゲートを形成する工程と、h) 該強誘電体ゲート上に上部電極を形成する工程とを包含し、これにより上記目的を達成する。

【0022】前記ダミーゲートを形成する工程は、a) ダミーゲート材料層を堆積し、パターニングし、それによってダミーゲートを形成する工程と、b) 該ダミーゲート上に酸化物を形成する工程と、c) 該酸化物を研磨して、該ダミーゲートを露出させる工程とによって達成されてもよい。

【0023】前記ダミーゲート材料層は窒化シリコンまたはポリシリコンであってもよい。

【0024】前記研磨する工程は、化学的機械的研磨(CMP)を用いて達成されてもよい。

【0025】前記ゲート絶縁体を堆積する工程は、化学的気相成長法(CVD)、パルスCVD、スパッタリングまたは蒸着によって達成されてもよい。

【0026】前記ゲート絶縁体を堆積する工程は、 $ZrO_2$ 、ジルコニウムシリケート、 $Zr-Al-Si-O$ 、 $HfO_2$ 、ハフニウムシリケート、 $Hf-Al-O$ 、 $La-Al-O$ 、酸化ランタンまたは $Ta_2O_5$ を堆積してもよい。

【0027】前記強誘電体材料を堆積する工程は、金属有機化学的気相成長法(MOCVD)または化学溶液堆積法(CSD)によって達成されてもよい。

【0028】前記強誘電体材料を堆積する工程は、 $PGO$ 、 $PZT$ 、 $SBT$ 、 $SBO$ 、 $SBTO$ 、 $SBTN$ 、 $STO$ 、 $BTO$ 、 $BLT$ 、 $LNO$ または $YMnO_3$ を堆積してもよい。

【0029】前記上部電極は、イリジウム、プラチナ、酸化イリジウムまたは酸化プラチナであってもよい。

【0030】前記上部電極を形成する工程は、上部電極層を堆積してパターニングすることによって達成されて

もよい。

【0031】前記上部電極を形成する工程は、ダマシン法を用いて達成されてもよい。

【0032】前記パッシベーション絶縁体を堆積する工程は、 $TiO_2$ 、 $Al_2O_3$ 、 $TiAlO_3$ 、または $Si_3N_4$ を堆積してもよい。

【0033】前記パッシベーション絶縁体をエッチングする工程は、異方性プラズマエッチングを用いて達成されてもよい。

【0034】半導体基板上に強誘電体ゲートを備えた強誘電体トランジスタ構造が提供される。強誘電体ゲートは下部を有しており、この下部と半導体基板との間にゲート誘電体が挿入される。強誘電体ゲートはまた、パッシベーション側壁と隣接する側面、および上部電極で覆われる上部を有する。上部電極と、パッシベーション側壁と、ゲート誘電体とは、強誘電体ゲートをカプセル化するように機能し、それによって酸素、水素または他の不純物に起因する汚染を低減するか、またはなくす。

【0035】本発明の強誘電体ゲート構造を製造する方法もまた提供される。ゲート絶縁体材料は、基板上に形成される。ダミーゲート構造は、ゲート絶縁体材料上に形成され、オープンゲート領域を製造するために除去される。パッシベーション絶縁体が、オープンゲート領域を含む基板上に堆積される。パッシベーション絶縁体に異方性プラズマエッチングを施して、パッシベーション側壁を形成する。オープンゲート領域を含む基板上に強誘電体材料を堆積し、次いでCMPを用いて研磨する。その後、上部電極が、残った強誘電体材料上に形成される。上部電極と、パッシベーション側壁と、ゲート絶縁体との組み合わせが、強誘電体材料をカプセル化し、かつ保護するように機能する。

【0036】ゲート絶縁体は、好ましくは、 $ZrO_2$ 、ジルコニウムシリケート、 $Zr-Al-Si-O$ 、 $HfO_2$ 、ハフニウムシリケート、 $Hf-Al-O$ 、 $La-Al-O$ 、酸化ランタン、 $Ta_2O_5$ 、または他の適切な高k材料である。しかしながら、ゲート絶縁体は、窒化シリコン、窒素注入二酸化シリコンまたは酸化シリコンであってもよい。

【0037】パッシベーション側壁は、好ましくは、 $TiO_2$ 、 $Al_2O_3$ 、 $TiAlO_3$ 、または $Si_3N_4$ である。

【0038】強誘電体材料は、好ましくは、 $PGO$ 、 $PZT$ 、 $SBT$ 、 $SBO$ 、 $SBTO$ 、 $SBTN$ 、 $STO$ 、 $BTO$ 、 $BLT$ 、 $LNO$ 、 $YMnO_3$ 、または他の適切な材料である。

【0039】上部電極は、好ましくは、イリジウム、プラチナ、ルテニウム、酸化イリジウム、酸化プラチナ、酸化ルテニウムまたは他の適切な材料である。

【0040】

【発明の実施の形態】図1は、最新のプロセスを用いて調製された半導体構造10を示す。トレンチ分離(ST

7

「」を用いて、基板16上にアイソレーション領域12とアクティブデバイス領域14を製造した。図1にはSTI構造を示しているが、STIの代わりにLOCOS分離を用いることもまた可能である。半導体基板は、好ましくは、シリコンまたは絶縁体上シリコン(SOI)である。

【0041】図2は、ゲート絶縁体材料18(ゲート誘電体とも呼ばれ得る)を形成した後の半導体構造10を示す。ゲート絶縁体材料18は、続く工程で堆積される強誘電体材料とあまり反応しない金属酸化物である。ゲート絶縁体材料は、二酸化シリコン、窒素注入二酸化シリコン、窒化シリコンまたは酸窒化シリコンであり得るが、ゲート絶縁体材料18は、好ましくは高k材料である。酸化ジルコニウム( $ZrO_2$ )は現在好ましい材料である。 $ZrO_2$ は好ましい材料であるが、ジルコニウムシリケート、 $Zr-Al-Si-O$ 、 $HfO_2$ 、ハフニウムシリケート、 $Hf-Al-O$ 、 $La-Al-O$ 、酸化ランタンおよび $Ta_2O_5$ を含む他の適切な高k材料を用いてもよい。

【0042】ゲート絶縁体材料が高k材料である場合、ゲート絶縁体材料18は、好ましくは、0.5nm~10nmの間の厚さの熱酸化物換算膜厚まで堆積される。熱酸化物換算膜厚は、これらの材料に関連するより高い誘電率に起因して、二酸化シリコンの厚さに比べて実際にはより大きな厚さを有することができる。ゲート絶縁体材料は、好ましくは、約1nm~100nmの間の厚さに堆積される。

【0043】ゲート絶縁体材料18を堆積するために、種々の方法が利用可能である。ゲート絶縁体材料が二酸化シリコンの場合、このゲート絶縁体材料は、熱によって成長し、その後所望ならば注入が行われ得る。堆積されるゲート絶縁体材料が他の材料の場合、利用可能な堆積方法は、パルスCVD、スパッタリングまたは蒸着を含む化学的気相成長法を含む。

【0044】例えば、 $ZrO_2$ は、「パルスCVD」とも呼ばれる原子層堆積法を用いて堆積され得る。原子層堆積法は、材料の極薄層を基板上に堆積するための用いられる。原子層堆積法は、化学吸着として公知の化学現象を利用する。化学吸着では、気相状態の材料を表面に吸着し、単層を形成する。多くの従来の堆積技術は、純粋に統計学的な表面カバレッジを有する多層堆積領域を製造する物理吸着プロセスを利用する。化学吸着を利用することによって、厚さおよび組成が極めて均一な膜が成長し得る。例えば、 $ZrO_2$ 膜は、塩化ジルコニウム( $ZrCl_4$ )を用いて第1の単層を形成し、 $ZrCl_4$ 系をバージして、次に表面を水蒸気( $H_2O$ )に曝すことによってシリコン上に成長すると報告されている。酸化ジルコニウム層を製造する他の前駆体には、ジルコニウムプロポキシド( $Zr(iOPr)_4$ )およびジルコニウムテトラメチルヘプタジジオネート( $Zr(tmhd)_4$ )

(5)

特開2002-353420

8

d) )が含まれる。化学吸着は、所与の気相-固相の組み合わせに対して、極めて限られた温度範囲および圧力範囲で生じる。例えば、酸化ジルコニウムは、 $ZrCl_4$ および $H_2O$ を用いて300℃の温度でシリコン基板上に堆積されると報告されている。このプロセスによって単層が製造されるので、酸化ジルコニウムのより厚い層は、さらなる単層を追加することによって製造される。

【0045】 $ZrO_2$ はまた、上述の前駆体および他の前駆体を用いてより一般的なCVDプロセスで堆積され得る。

【0046】従来のシステムを用いた別の堆積技術は、高k材料の薄層を生成するためにターゲットをスパッタリングすることである。高純度の金属ターゲットのスパッタリングが用いられる。次に、ウェハを用意して、堆積チャンバ内に配置する。次いで、ウェハを室温~500℃の間の温度に加熱する。次いで、アルゴン(Ar)および酸素( $O_2$ )の混合気を堆積チャンバに導入する。約500W~5kWの間のスパッタリング出力を用いてプラズマをチャンバ内に生成する。ジルコニウム用のシャッターを開けて、ウェハ上にジルコニウムを堆積し、その後シャッターを閉じる。チャンバ内の酸素圧力によってターゲット材料が、ウェハ上に堆積すると同時に $ZrO_2$ が形成される。

【0047】本発明の堆積方法の別の代替的な実施形態では、ターゲットの蒸発を用いて薄層を堆積する。基本的なプロセスは、ターゲットをプラズマに曝す代わりに、ターゲットを約1,000~2,000℃の間の温度まで加熱するという点を除いて、スパッタリングについて先に行った説明と実質的には同一である。上述したように、シャッターは堆積時間を制御するために用いられ得る。

【0048】図3は、ゲート絶縁材料18上に堆積されたダミー層20を示す。ダミー層は、約200nm~400nmの間の厚さまで堆積される。ダミー層は、好ましくは、窒化シリコンまたはポリシリコンである。ダミー層は、好ましくは、選択的にエッチングされることによって、その下の材料またはその横の材料に影響を及ぼすことなく、容易に除去される。

【0049】図4は、上にマスク層(図示せず)を用いてダミー層をパターンニングし、そのダミー層をプラズマエッチングすることによって形成されたダミーゲート構造22を示す。プラズマエッチングは、ゲート絶縁体材料で停止し得る。あるいは、プラズマエッチングは、マスクパターンによって覆われていない領域からゲート絶縁体材料を部分的にまたは完全に除去し得る。ソース領域24およびドレイン領域26は、ダミーゲート構造22に隣接して形成される。ソース領域24およびドレイン領域26は、任意の最新プロセスによって形成され得るが、好ましくはイオン注入によって形成され得る。

(6)

特開2002-353420

9

【0050】図5は、酸化物層30を堆積した後の半導体構造10を示す。酸化物層30は、ダミーゲート構造およびその周りの領域の上に堆積される。酸化物層30は、酸化物の最も低い部分がダミーゲート構造22と少なくとも同じ高さとなる厚さまで堆積される。この厚さは、好ましくは、基板16上のダミーゲート構造22の高さの1~2倍である。酸化物層を堆積した後、化学的機械的研磨(CMP)を用いて研磨を行って、ダミーゲート構造22を露出させる。CMPプロセスは、好ましくは、ダミーゲート構造22の大部分を除去することなく、ダミーゲート構造22の上部で停止する。

【0051】図6は、ダミーゲート構造を除去した後の半導体構造10を示す。ダミーゲート構造を除去してオープンゲート領域32を残す。ダミーゲート構造は、好ましくは、ウェットエッチングプロセスを用いて除去される。

【0052】図7は、パッシベーション絶縁体34を堆積した後の半導体構造10を示す。パッシベーション絶縁体34は、好ましくは、このパッシベーション絶縁体中を通る酸素または水素の拡散を低減するか、またはなくす材料から選択される。パッシベーション絶縁体34を形成する好ましい材料は、 $TiO_2$ 、 $Al_2O_3$ 、 $TiAlO_3$ および $Si_3N_4$ である。パッシベーション絶縁体34は、当業者に公知のスパッタリングまたは他の適切な方法によって堆積され得る。

【0053】図8は、パッシベーション絶縁体34を異\*

10

\*方性プラズマエッチングした後の半導体構造10を示す。異方性エッチングによって、水平面からパッシベーション絶縁体34を除去してパッシベーション側壁36を残す。

【0054】図9は、強誘電体材料38を堆積した後の半導体構造10を示す。強誘電体材料によってオープンゲート領域が埋められる。好ましくは、強誘電体材料38は、オープンゲート領域の深さよりも大きい厚さに堆積される。強誘電体材料38は、金属有機化学的気相成長法(MOCVD)または化学溶液堆積法(CSD)によって堆積され得る。強誘電体材料は、好ましくは、 $PGO$ 、 $PZT$ 、 $SBT$ 、 $SBO$ 、 $SBTO$ 、 $SBTN$ 、 $STO$ 、 $BTO$ 、 $BLT$ 、 $LNO$ および $YMnO_3$ から選択される。

【0055】例えば、 $PGO$ 材料( $Pb, Ge, O_{1.1}$ とも呼ばれ得る)は、以下の好ましい方法を用いて堆積され得る。 $PGO$ 材料は、金属有機化学的気相成長法(MOCVD)およびRTP(急速熱処理)アニーリング技術によって堆積される。 $PGO$ 材料は、450~550°Cの間の温度で堆積され得る。

【0056】 $PGO$ 材料を成長させるために、液体送達システムを備えたEMCORE酸化物MOCVD反応器を用いた。 $PGO$ 材料の前駆体を表1に一覧する。

【0057】

【表1】

前駆体	化学式	蒸気圧 (mm Hg)	分解 温度(°C)
$Pb(CH_3)_2$	$Pb(C_{11}H_{14}O_2)_2$	180°C/0.05	325°C
$Ge(ETO)_4$	$Ge(C_2H_5O)_4$	沸点, 185.5°C	

表1は、 $PGO$ 薄膜用の前駆体の特性を示す。

【0058】ゲルマニウムアルコキシド、ゲルマニウムハロゲン化物、鉛アルキルおよび鉛ハロゲン化物等の液体前駆体は、温度が制御されたバブラーを用いて前駆体蒸気を生成する。鉛β-ジケトネート等の固体前駆体を溶媒に溶解させて、フラッシュ蒸発器に接続された液体

送達システムを用いて前駆体蒸気を生成する。表2は、本発明のいくつかの局面において用いられ得る $PGO$ 前駆体の一覧である。

【0059】

【表2】



(7)

特開2002-353420

11	12				
前駆体	化学式	室温での 見方	溶解性 安定性	蒸気圧 (mm Hg)	分解 温度 (°C)
	GeH <sub>4</sub> Ge <sub>2</sub> H <sub>6</sub> Ge <sub>3</sub> H <sub>8</sub>				
Ge(ETO) <sub>4</sub>	Ge(OC <sub>2</sub> H <sub>5</sub> ) <sub>4</sub>	無色 液体	不溶	185°C	
	GeCl <sub>4</sub> (C <sub>2</sub> H <sub>5</sub> ) <sub>2</sub> GeCl <sub>2</sub>				
Pb テトラヒド Pb(thd) <sub>4</sub>	Pb(C <sub>6</sub> H <sub>5</sub> ) <sub>4</sub> Pb(C <sub>11</sub> H <sub>13</sub> O <sub>2</sub> ) <sub>2</sub> Pb(C <sub>2</sub> H <sub>5</sub> ) <sub>4</sub>	白 粉末 白 粉末		230° 0.05 150° 0.05	325°C 325°C

表2は、PGO膜用の前駆体の特性を示す。

\* [0061]

[0060] 表3は、本発明のいくつかの局面において

[表3]

用いられる別の利用可能な溶媒の一覧である。

\*

溶媒	化学式	沸点 (°C)
テトラヒドフラン (THF)	$\text{C}_4\text{H}_8\text{O}$	65-67°C
イソ-プロパノール	$\text{C}_3\text{H}_8\text{OH}$	97°C
テトラグリム	$\text{C}_{10}\text{H}_{12}\text{O}_2$	275°C
キシレン	$\text{C}_8\text{H}_{10}(\text{CH}_3)_2$	137-144°C
トルエン	$\text{C}_6\text{H}_5\text{CH}_3$	111°C
ブチルエーテル	$(\text{CH}_3(\text{CH}_2)_3\text{O})_2$	142-143°C
ブチルアセテート	$\text{CH}_3\text{CO}_2(\text{CH}_2)_3\text{CH}_3$	124-126°C
2-エチル-1-ヘキサンオール	$\text{CH}_3(\text{CH}_2)_5\text{CH}(\text{C}_2\text{H}_5)\text{CH}_2\text{OH}$	183-186°C

表3は、PGO膜用の溶媒の特性を示す。

[0062] 5:3のモル比の  $[\text{Pb}(\text{thd})_4]$  および  $[\text{Ge}(\text{ETO})_4]$  を、8:2:1のモル比でテトラヒドフランと、イソプロパノールと、テトラグリムとを混合した溶媒に溶解させた。前駆体溶液は、0.1~0.3M/Lの濃度の  $\text{Pb}_2\text{Ge}_3\text{O}_{11}$  を有する。0.1ml/分の速度のポンプで蒸発器 (150°C) 内へこの溶液を注入して、前駆体ガスを形成した。150~170°Cで予熱したアルゴンフローを用いて、この前駆体ガスを反応器に導入した。堆積温度および堆積圧力は、それぞれ500°Cおよび5~10 Torrである。酸素 (1000~2000 sccm) を含有するシュラウドフロー (Ar 4000 sccm) を反応器に導入した。堆積した後、PGO材料を酸素雰囲気中で室温まで冷却した。PGO材料は、RTPを用いてアニーリングされ得る。

[0063] あるいは、MOCVDの代わりに、CSDプロセスを用いて、強誘電体材料を堆積してもよい。CSDプロセスの1つの形式は、スピンオン法である。例えば、スピンオン法を用いて、PGO薄膜を堆積してもよい。前駆体は、ジ (エチレングリコール) エチルエー

30 テル溶液中の鉛アセテートおよびゲルマニウムイソプロポキシドである。前駆体は、基板上でスピンされ、基板上全体に膜を形成する。この膜を50~350°Cで1~10分間ベーキングし、溶媒を蒸発させて有機成分を無くすために、400~500°Cで1~15分間の各スピンコーティングした後に予備アニーリングを行う。各スピンコーティング層は、約10nm~100nmの間の厚さを有する。数回繰り返した後に所望の厚さのPGO膜が製造され得る。PGO膜は、酸素雰囲気中500~600°Cで5分~3時間で結晶化される。過剰に実験することなく、プロセスを最適化することで所望の膜厚が達成され得る。

[0064] 図10は、強誘電体材料にCMPを施して、強誘電体ゲート40を製造した後の半導体構造10を示す。CMPプロセスは、好ましくは、バッシュン側壁36の上部で停止する。あるいは、CMPプロセスは、バッシュン側壁36の上部からほんの少しだけ下に及んでもよい。

[0065] 図11は、電極層42を堆積した後の半導体構造10を示す。電極層42は、イリジウム、プラチナ、ルテニウムまたはそれらの酸化物を含む。電極層4

13

2をバタニングしてエッチングをすることによって、図12に示される上部電極44が形成される。電極層42は、フォトレジストまたは硬質マスク材料（例えば、TiN、TiO<sub>2</sub>、TiAlO<sub>2</sub>、SiO<sub>2</sub>、SiNまたは他の適切な材料）を用いてバタニングされ得る。電極層は、プラズマエッチングまたは他の適切なエッチングプロセスによってエッチングされ得る。

【0066】別の実施形態では、埋め込み（すなわちダマシン）法を用いて上部電極44が形成され得る。トレンチは、先に詳述した強誘電体ゲートを形成する際に用いられる方法と同様の方法を用いて形成される。次に、イリジウム、プラチナ、ルチニウムまたはこれらの酸化物等の金属をトレンチ内に堆積して、CMPを用いて研磨し、上部電極44が形成される。

【0067】図12は、強誘電体ゲート構造46を有する半導体構造10を示す。強誘電体ゲート構造46は、下にあるゲート絶縁体材料18、側面に沿ってあるパッシベーション側壁36、上にある上部電極44によって保護された強誘電体ゲート40を含む。これによって、強誘電体ゲート40へと拡散する酸素または水素による強誘電体ゲート40の汚染を低減するか、またはなくす。

【0068】図13は、パッシベーション層48が強誘電体ゲート構造46上に堆積された半導体構造10を示す。

【0069】図14は、最新技術の方法を用いて最後のメタライゼーションを行った後の半導体構造10を示す。ソース領域24、ドレイン領域26および上部電極44への配線50を簡略化した構造で示す。銅メタライゼーションを含む任意の最新技術のメタライゼーション様式を用いることができる。メタライゼーションは、バリア層および種々のメタライゼーション様式と共に用いられる他の層を含み得る。

【0070】上記では、エッチングを行った後に堆積を用いたメタライゼーションを説明しているが、この代わりにダマシンメタライゼーション法を用いることもまた可能である。例えば、銅メタライゼーションの場合には、ダマシンメタライゼーション法を用いることが好ましい。

【0071】従って、本発明によれば、強誘電体ゲートとパッシベーション側壁とを有する強誘電体トランジスタゲート構造が提供される。パッシベーション側壁は、酸素または水素の強誘電体ゲートへの拡散を低減するか、またはなくす絶縁体として機能する。また、強誘電体ゲート構造を製造する方法を提供する。上記方法は、ダミーゲート構造を形成する工程と、ダミーゲート構造を除去する工程と、パッシベーション絶縁体材料を堆積する工程と、異方性プラズマエッチングを用いてパッシベーション絶縁体材料をエッチングし、パッシベーション側壁を形成する工程と、強誘電体材料を堆積する工程

(8)

特開2002-353420

14

と、CMPを用いて強誘電体材料を研磨する工程と、強誘電体材料上に上部電極を形成する工程とを包含する。

【0072】

【発明の効果】上述してきたように、本発明による強誘電体トランジスタ構造は、a) 半導体基板上に下部と、側面と、上部とを有する強誘電体ゲートと、b) 強誘電体ゲートと半導体基板との間に挿入されるゲート絶縁体と、c) 側面に隣接するパッシベーション側壁とを含む。上記構造を有する強誘電体トランジスタは、パッシベーション側壁と、ゲート誘電体と、強誘電体ゲートの上部とが、強誘電体ゲートをカプセル化するように機能し、それによって酸素、水素または他の不純物に起因する汚染を低減するか、またはなくすことができ、トランジスタの信頼性を向上させる。

【図面の簡単な説明】

【図1】図1は、さらなる処理を施すことが可能な状態の半導体基板の断面図である。

【図2】図2は、誘電体層が基板上にある半導体基板の断面図である。

【図3】図3は、ダミー層が誘電体層上にある半導体基板の断面図である。

【図4】図4は、ダミーゲート構造が誘電体層上にある半導体基板の断面図である。

【図5】図5は、ダミーゲート構造が酸化物によって囲まれた半導体基板の断面図である。

【図6】図6は、ダミーゲートを除去した後の半導体基板の断面図である。

【図7】図7は、パッシベーション絶縁体層を堆積した後の半導体基板の断面図である。

【図8】図8は、パッシベーション絶縁体層を異方性プラズマエッチングした後の半導体基板の断面図である。

【図9】図9は、強誘電体材料層を堆積した後の半導体基板の断面図である。

【図10】図10は、強誘電体材料層に化学的機械的研磨を施した後の半導体基板の断面図である。

【図11】図11は、上部電極層を堆積した後の半導体基板の断面図である。

【図12】図12は、上部電極を示す半導体基板の断面図である。

【図13】図13は、パッシベーション層がデバイス構造上にある半導体基板の断面図である。

【図14】図14は、デバイス構造との金属コンタクトを示す半導体基板の断面図である。

【符号の説明】

10 半導体構造

12 アイソレーション領域

14 アクティブデバイス領域

16 基板

18 ゲート絶縁体材料

22 ダミーゲート構造

(9)

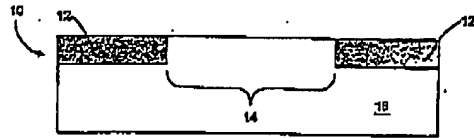
特開2002-353420

- 15  
24 ソース領域  
26 ドレイン領域  
30 酸化物層  
32 オープンゲート領域  
34 パッシベーション絶縁体  
36 パッシベーション側壁  
38 強誘電体材料

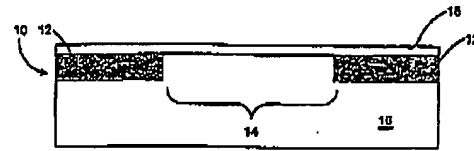
- 16  
\* 40 強誘電体ゲート  
42 電極層  
44 上部電極  
46 強誘電体ゲート構造  
48 パッシベーション層  
50 配線

\*

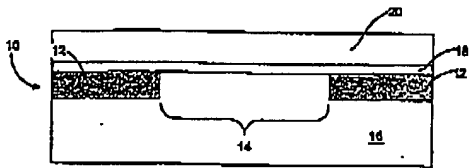
【図1】



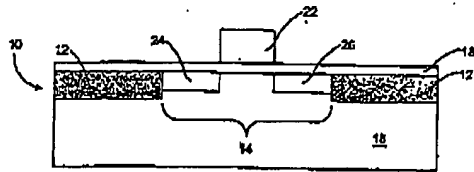
【図2】



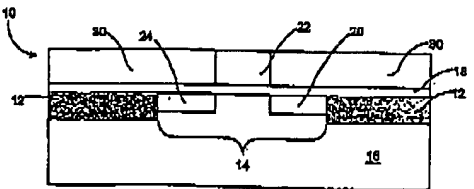
【図3】



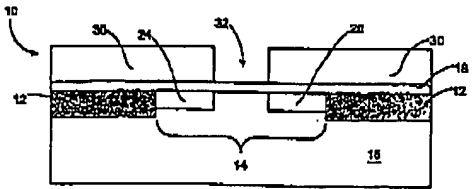
【図4】



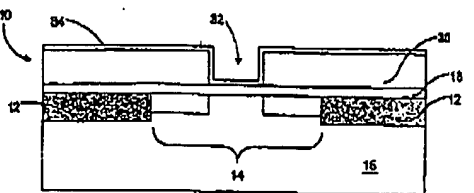
【図5】



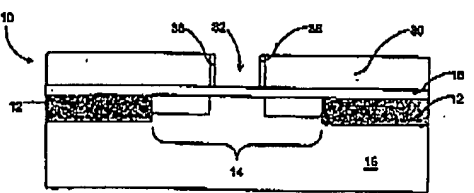
【図6】



【図7】



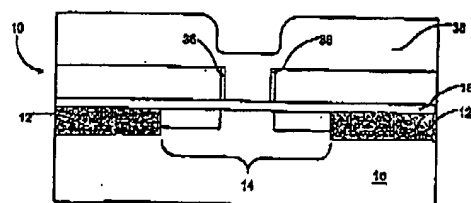
【図8】



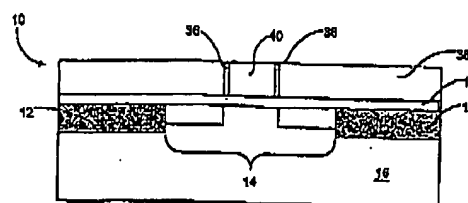
(10)

特開2002-353420

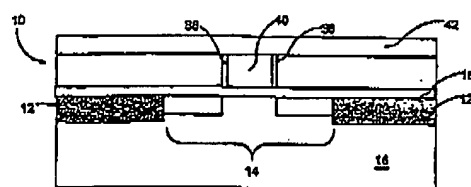
【図9】



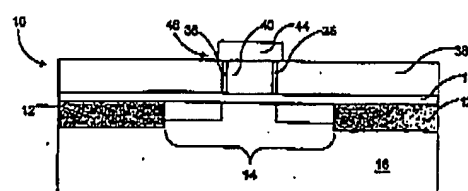
【図10】



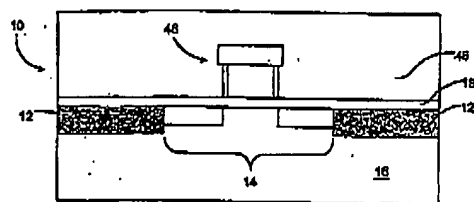
【図11】



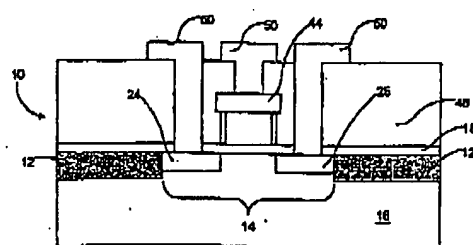
【図12】



【図13】



【図14】



フロントページの続き

(51)Int.Cl.

識別記号

F I

ターム(参考)

H01L 29/792

(72)発明者 チンカイ リー

アメリカ合衆国 ワシントン 98683,

バンクーバー, エスイー 23アールディ

ー ストリート 18701

F ターム(参考) 4K029 AA06 AA24 BA43 BA52 BD01  
CA01 CA05 GA004K030 BA01 BA02 BA10 BA22 BA42  
BA48 CA04 CA125F083 FR06 GA25 MA02 JA02 JA05  
JA06 JA15 JA19 JA37 JA38JA43 MA06 MA16 MA19 PR03  
PR21 PR22 PR23 PR34 PR405F101 BA62 BB05 BD02 BD30 BD35  
BF01 BH02 BH14 BH16

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☒ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**